

Electrónica Digital II

Sistemas secuenciales: repaso

Susana Borromeo López

Ingeniería de Telecomunicación

Introducción

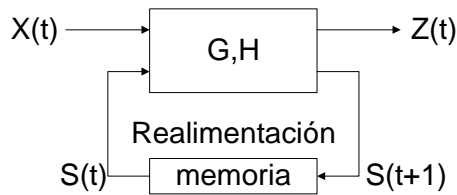
- ▶ ¿Qué caracteriza un sistema secuencial frente a un combinacional?
- ▶ ¿Sistema secuencial o combinacional?
 - Un sumador de dos bits
 - Una ALU
 - Un registro
 - Un contador
- ▶ ¿Cuál es elemento básico de un sistema secuencial?
- ▶ Concepto de sincronismo.
- ▶ Señales de control asíncronas y síncronas de un biestable
- ▶ ¿Cuál es elemento básico de un registro?



Introducción a los sistemas secuenciales

Circuito secuencial es aquél en el que las salidas en un instante de tiempo dependen de las entradas en ese instante de tiempo y en instantes anteriores

La evolución pasada está almacenada en unos elementos con capacidad para memorizar el estado interno. Cada bit de información de estado se guarda en un **biestable**.



$X(t)$: entrada actual
 $Z(t)$: salida actual
 $S(t)$: estado actual
 $S(t+1)$: estado próximo



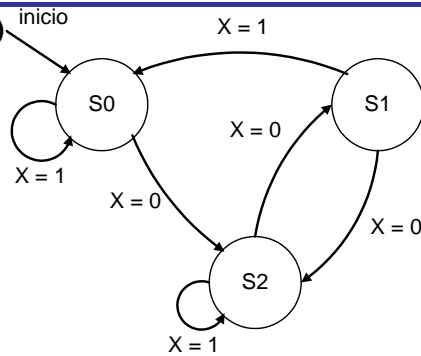
Representación de los circuitos secuenciales

Diagrama de transición de estados (DTE)

Círculos: estados
Arcos: transiciones

Las salidas pueden estar asociadas a los estados o a las transiciones (no aparece ninguna en este ejemplo)

El nombre de las entradas se puede omitir



Tablas de transición de estados

Son tablas de verdad en las que aparece descrito el comportamiento del sistema.

El estado presente aparece como una de las entradas

Estado actual	Entrada (X)	Estado siguiente
S0	0	S2
S0	1	S0
S1	0	S2
S1	1	S0
S2	0	S1
S2	1	S2



Concepto de Sincronismo

ASÍNCRONOS

Cambia de estado y de salida frente a un cambio de las entradas

SÍNCRONOS

Cambia de estado cuando se produce un evento de una señal que se denomina **RELOJ**

TIPOS

NIVEL

Alto 

Bajo 

FLANCO

Subida 

Bajada 



Concepto de biestable

Un **biestable** es un dispositivo de almacenamiento temporal de estados que puede permanecer en cualquiera de sus dos estados gracias a su capacidad de realimentación. Dispositivo capaz de almacenar un bit (H ó L).

Según el tipo de sincronismo de los biestables, podemos clasificarlos en:

- ➔ Asíncrono (*latch*)
- ➔ Síncrono por nivel alto o bajo (*latch with enable high/low*)
- ➔ Síncrono por flanco de subida o de bajada (*flip-flop positive/negative edge triggered*)

Los biestables síncronos pueden tener **entradas asíncronas** que se utilizan para forzar un valor determinado en los mismos al margen del reloj.

- ➔ Puesta a 0 asíncrona (*clear, reset*)
 - ➔ Puesta a 1 asíncrona (*preset, set*)
- No hay acuerdo en esta terminología**



Biestables

A veces es conveniente que los biestables síncronos por flanco no cambien de estado en todos los flancos del reloj, sino sólo en algunos. Para ello se les dota de una **entrada de habilitación de reloj** (*clock enable*, CE) activa por nivel.

- ⇒ Si CE está activa “habilita” el efecto de los flancos del reloj.
- ⇒ Si CE está inactiva inhibe los flancos del reloj preservando el estado del biestable.

En ocasiones los biestables están dotados de un *buffer* triestado interpuesto entre el valor del estado y la salida, regulado por una **entrada de habilitación de la salida** (*output enable*, OE) activa por nivel alto o bajo.

- ⇒ Si OE está activa, la salida del biestable es L ó H y coincide con el estado.
- ⇒ Si OE está inactiva, la salida del biestable queda desconectada en alta impedancia.



Parámetros temporales de los biestables

Tiempo de propagación o retardo del biestable (*delay time*)

Tiempo necesario para que el efecto de un cambio en la entrada se haga estable en la salida.

- ⇒ t_{pHL} : cuando la salida cambia de H a L.
- ⇒ t_{pLH} : cuando la salida cambia de L a H.
- ⇒ t_{pd} : media de los dos anteriores.

Tiempo de establecimiento (*setup time*)

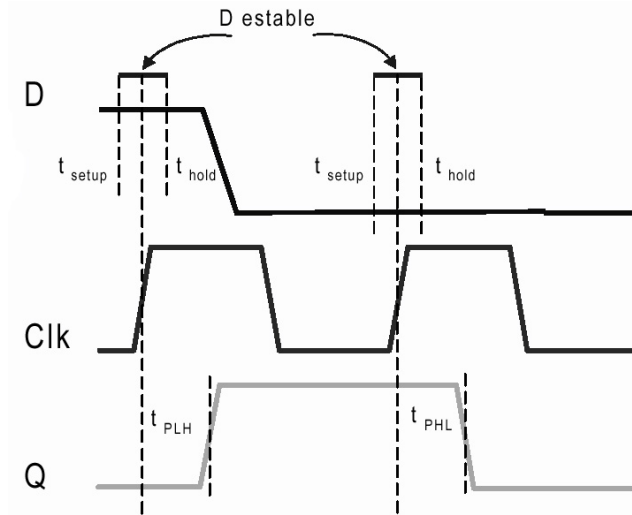
Tiempo mínimo anterior al flanco de disparo en que las entradas no deben variar (tiempo necesario para que el biestable asiente las entradas antes del flanco).

Tiempo de mantenimiento (*hold time*)

Es el tiempo máximo posterior al flanco de disparo en que las entradas no deben variar (tiempo necesario para que el biestable procese las entradas).



Parámetros temporales de los biestables



2005-2006

Electrónica Digital II

9



Parámetros temporales de los biestables

Anchura del reloj t_{WH} y t_{WL}

Duración mínima necesaria para los pulsos de nivel alto y bajo respectivamente.

Frecuencia máxima f_{max}

Máxima frecuencia permitida al reloj del biestable. Si se supera, el biestable puede funcionar mal.

Tiempo de *preset* y *clear*

Es el tiempo mínimo que debe durar el nivel activo de las entradas asíncronas de puesta a 1 y puesta a 0 para que el biestable tome el valor pertinente. Este tiempo suele estar incluido en t_{pLH} y t_{pHL} respectivamente.

Disipación de potencia

Potencia total consumida por el dispositivo

2005-2006

Electrónica Digital II

10



Metaestabilidad

Metaestabilidad: En determinadas circunstancias los biestables síncronos por flanco pueden entrar en un estado que no es ni H ni L.

La metaestabilidad se puede producir cuando las entradas del biestable no están sincronizadas con su reloj y no respetan los parámetros temporales dados por el fabricante, en particular los tiempos de establecimiento (t_{setup}) y mantenimiento (t_{hold}). Si el valor de las entradas cambia en el tiempo dado por $t_{\text{setup}} + t_{\text{hold}}$ el biestable puede quedar en estado metaestable.

Esto puede tener graves consecuencias, puesto que la salida ofrecida por el biestable puede ser interpretada como H por unos componentes del sistema y como L por otros, causando así un mal funcionamiento de características impredecibles.



Tipos de biestables

Según las entradas de datos de que disponen (lógica de disparo o de excitación) podemos establecer varios tipos de biestables:

- ⇒ S-R: entradas de puesta a 1 (S, *set*) y puesta a 0 (R, *reset*)
- ⇒ J-K: entradas de puesta a 1 (J, *set*) y puesta a 0 (K, *reset*)
- ⇒ D: entrada de datos (D)
- ⇒ T: entrada de inversión o basculamiento (*toggle*)



Biastable S-R

El biastable S-R tiene dos entradas (S, R) y dos salidas (Q y /Q)

- ↪ Entrada S (*set*): puesta a 1
- ↪ Entrada R (*reset*): puesta a 0
- ↪ Salida Q: contenido del biastable (activa por nivel alto)
- ↪ Salida /Q: contenido del biastable (activa por nivel bajo)

¡S y R no deben estar activas a la vez!

Tabla de verdad

S	R	Q(t+1)	$\bar{Q}(t+1)$	Operación
0	0	Q(t)	$\bar{Q}(t)$	Mantenimiento
0	1	0	1	Puesta a 0
1	0	1	0	Puesta a 1
1	1	--	--	Prohibido



Biastable D

También llamado biastable seguidor o biastable de datos.

- ↪ Cuenta con una única entrada D que se copia al interior del biastable en los instantes de sincronismo.
- ↪ Sólo tiene sentido en modo síncrono (por nivel o por flanco).

Tabla de excitación

Q(t)	Q(t+1)	D
0	0	0 (L)
0	1	1 (H)
1	0	0 (L)
1	1	1 (H)

Ejemplo CI: 74HC74



Biastable J-K

Tiene dos entradas de excitación (J,K) y dos salidas (Q y /Q)

- ➔ Entrada J (*set*): puesta a 1
- ➔ Entrada K (*reset*): puesta a 0
- ➔ Salida Q: contenido del biastable (activa por nivel alto)
- ➔ Salida /Q: contenido del biastable (activa por nivel bajo)

Las dos entradas J y K pueden estar activas a la vez. En tal caso se produce una inversión en el estado del biastable.

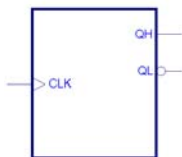
Sólo se utilizan en modo **síncrono por flanco**, porque en asíncrono y en síncrono por nivel se producen oscilaciones en el estado si $J=K=1$.

Q(t)	Q(t+1)	J	K
0	0	0 (L)	X
0	1	1 (H)	X
1	0	X	1 (H)
1	1	X	0 (L)

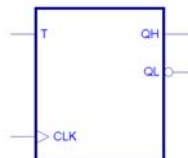


Biastable T

El biastable T sólo tiene sentido si es síncrono por flanco de reloj.



El biastable T puede tener una entrada de activación (T, *toggle*), que active / inhiba el flanco de reloj.



Reloj	Q(t+1)	Operación
↑	$\bar{Q}(t)$	Basculamiento
Resto	Q(t)	Mantenimiento

Reloj	T	Q(t+1)	Operación
↑	H	$\bar{Q}(t)$	Basculamiento
↑	L	Q(t)	Mantenimiento
Resto	X	Q(t)	Mantenimiento



Biestables

Equivalencia entre biestables

Electrónica Digital I

Aplicaciones de los biestables

- ▶ Registros: almacenamiento y desplazamiento de datos
- ▶ Contadores



Registros

- ▶ Conjuntos de biestables que funcionan al unísono compartiendo sus señales de control.
- ▶ Normalmente se utilizan registros formados por biestables de tipo D, o bien con biestables S-R o J-K funcionando como biestables D.
- ▶ Los registros necesitan una señal de sincronismo por nivel o por flanco.
- ▶ A diferencia de los contadores no tiene una secuencia específica de estados.
- ▶ **Aplicaciones:** almacenamiento y desplazamiento de datos

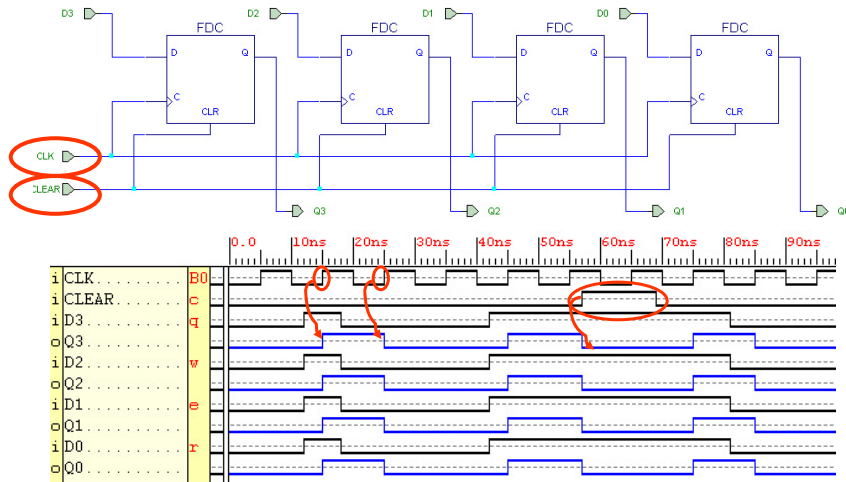
Tipos de registros

Entrada	Salida		Aplicación
Serie	Serie	SISO	Almacenamiento
Serie	Paralelo	SIPO	Conversión
Paralelo	Serie	PISO	Conversión
Paralelo	Paralelo	PIPO	Almacenamiento



Registros de almacenamiento en paralelo

Los bits de datos de entrada se almacenan todos a la vez, las entradas de datos de los biestables son accesibles desde el exterior.



2005-2006

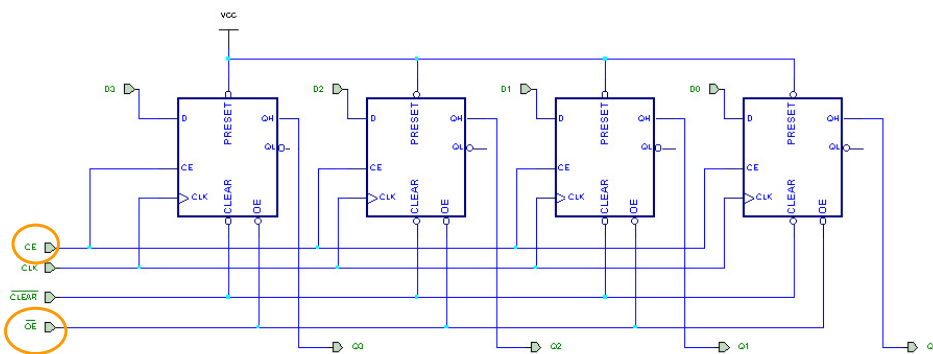
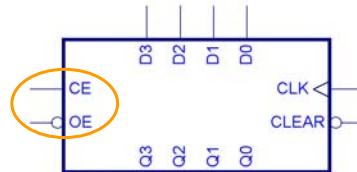
Electrónica Digital II

19



Registros de almacenamiento en paralelo

Al registro anterior podemos añadirle una **entrada de habilitación de entradas (CE)** y una **señal de habilitación de salidas (OE)**.



2005-2006

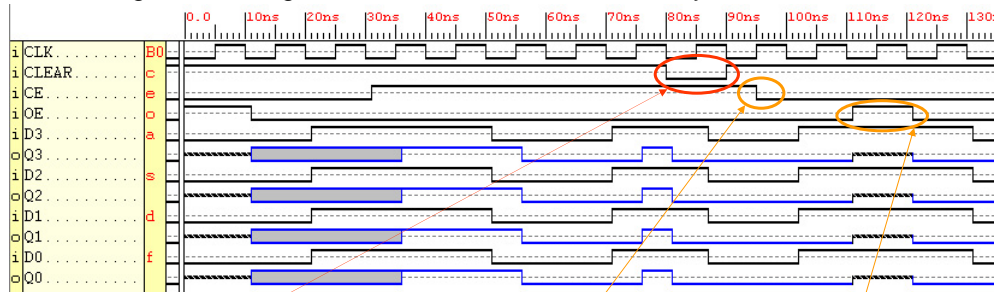
Electrónica Digital II

20



Registros de almacenamiento en paralelo

Cronograma del registro con habilitación de entradas y salidas.



Señal asíncrona de puesta a cero: todas las salidas (Q_i) a cero

Señal de habilitación de entradas (CE): cuando no está activa aunque cambien las entradas no afectan a las salidas

Señal de habilitación de salidas (OE)



3.Registros de desplazamiento serie/serie

La entrada es bit a bit por un extremo (línea ES izquierda o derecha) y la salida es bit a bit por el otro (SS izquierda o derecha).

➔ Registro de desplazamiento hacia la izquierda: ESI y SSI.

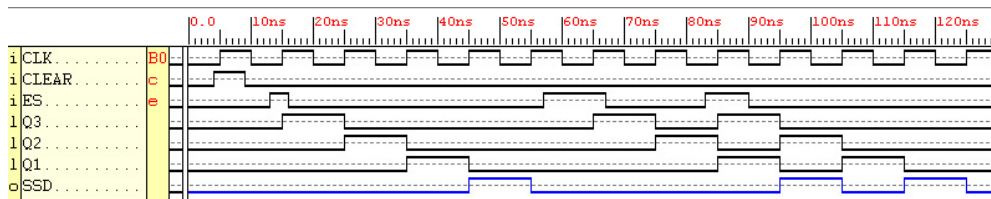
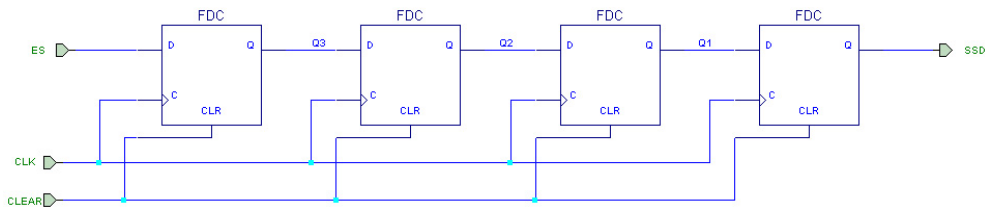
➔ Registro de desplazamiento hacia la derecha: ESD y SSD.

Aplicación: línea de retardo y es función del número de etapas del registro y la frecuencia del reloj



Registros de desplazamiento serie/serie

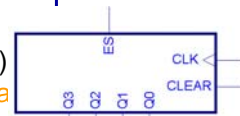
Ejemplo: registro de desplazamiento serie hacia la derecha con biestables D.



Registros de conversión

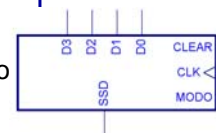
CONVERSIÓN SERIE/PARALELO

La entrada llega bit a bit en serie (ES izquierda o derecha) la salida se ofrece en paralelo por todos los biestables a la vez. El bit de entrada se va desplazando por el registro a golpe de reloj.



CONVERSIÓN PARALELO/SERIE

El registro se carga en paralelo (todos los bits a la vez), pero la salida se ofrece a través de un solo bit. El contenido del registro se desplaza hacia un lado a golpe de reloj.





Interconexión de registros. Bancos de registros

Los sistemas digitales (y en particular los computadores) suelen disponer de una cierta cantidad de registros que es necesario interconectar.

Lo más usual es realizar la interconexión entre registros mediante líneas compartidas: los **buses**.

El acceso del registro al bus se realiza mediante la interposición de **buffers triestado** regulados por señales de control que no pueden ser activadas simultáneamente.

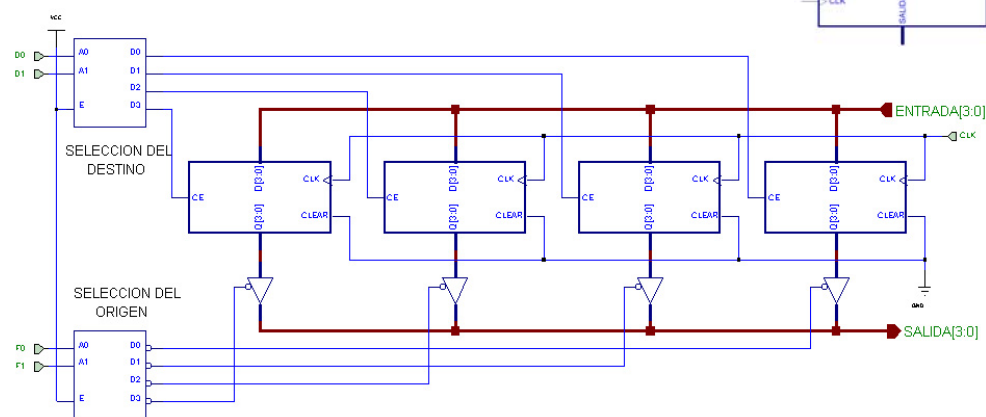
Todos los computadores cuentan con **bancos de registros** controlados mediante señales de selección de lectura y escritura.

- ➔ **Puertos de lectura de un banco de registros:** número de registros que pueden ser leídos simultáneamente (= número de buses de salida del banco).
- ➔ **Puertos de escritura de un banco de registros:** número de registros que pueden ser modificados simultáneamente (= número de buses de entrada de datos al banco).



Bancos de registros

En la figura se muestra un banco de registros con un puerto de entrada (selección de registro mediante D1 y D0) y un puerto de salida (selección de registro mediante F1 y F0).





Concepto de contador

Circuito secuencial que genera una secuencia ordenada de salidas que se repite en el tiempo. La salida coincide con el estado de sus biestables. Los contadores son circuitos secuenciales que cuentan flancos de reloj.

Módulo de un contador: n^0 de estados distintos por los que el contador puede pasar de forma secuencial. N^0 máximo de posibles estados

Tipos de contadores

- ⇒ **Síncronos:** todos los biestables comparten la misma señal de reloj
 - ⇒ **Asíncronos:** no todos los biestables comparten la misma señal de reloj.
-
- ⇒ **Ascendente:** la cuenta es creciente.
 - ⇒ **Decendente:** la cuenta es decreciente
 - ⇒ **Reversible:** la cuenta puede ser ascendente o decendente
 - ⇒ **Contador módulo 2^n :** tiene n biestables y cuenta desde 0 hasta 2^n-1 .
 - ⇒ **Contador A-B:** cuenta desde A hasta B
 - ⇒ **Divisor de frecuencia:** a partir de un reloj con una frecuencia dada, devuelve un bit que vale 1 en uno de cada N ciclos y 0 en los restantes.

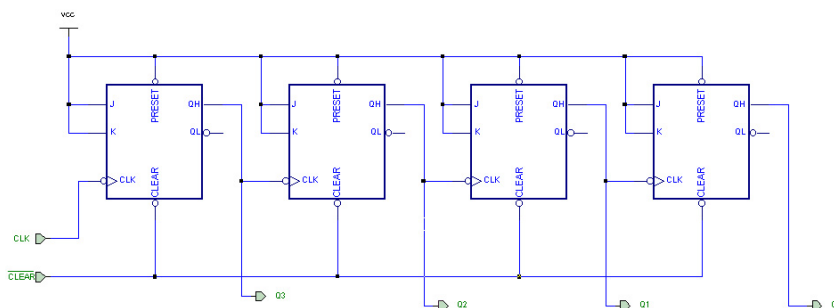


Contadores asíncronos

Se les llama también contadores por propagación o *ripple counters*.

Se aplica una señal externa a la entrada de reloj del primer biestable y a los siguientes se les aplica como señal de reloj la salida del biestable anterior.

Los biestables no se disparan al mismo tiempo debido al retardo de las puertas, se pueden producir estados espurios con valores incorrectos, y la frecuencia de reloj del contador está limitada.

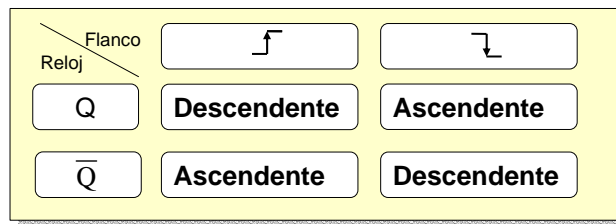




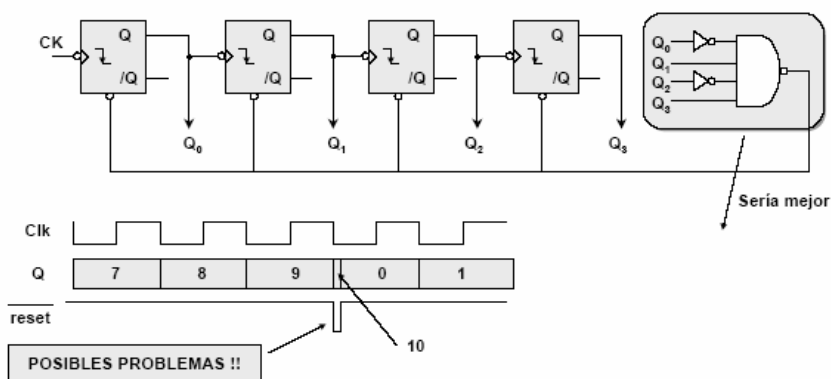
Contadores asíncronos

Los biestables no se disparan al mismo tiempo debido al retardo de las puertas, debido a ello también se les conoce con el nombre de **contadores con propagación**.

El retardo de propagación limita la frecuencia de funcionamiento y además puede originar estados transitorios en los que las salidas de los contadores van variando en instantes de tiempo ligeramente distintos. Estos estados transitorios producen picos de tensión de corta duración (**GLITCHES**) no deseado.



Contadores asíncronos: Contador de 0 a 9



Se debe codificar el valor siguiente al último valor que se quiera contar.

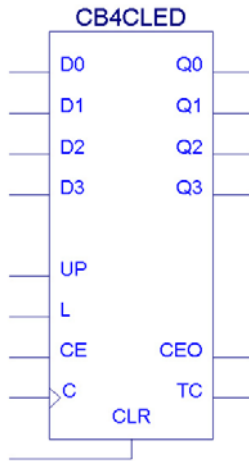


Contadores síncronos

En ellos todos los biestables comparten el mismo reloj y basculan a la vez.

Entradas típicas en un contador síncrono estándar:

- ⇒ Señal de reloj (**C**)
- ⇒ Habilitación de cuenta (**CE**)
- ⇒ Final de cuenta (**TC, RCO o CEO**): se pone a 1 cuando el contador llega al final de la cuenta.
 - Si la cuenta es ascendente, el final es $2^n - 1$.
 - Si la cuenta es descendente, el final es 0.
 - CEO (RCO) se activa sólo si CE está activo.
- ⇒ Puesta a 0 (**CLEAR**): síncrona o asíncrona.
- ⇒ Habilitación de carga en paralelo (**L, LOAD**): habilita la carga de un dato de **n** bits en el contador para contar a partir de él (suele ser carga síncrona).
- ⇒ Entradas de carga en paralelo (**D_i**): sirven para introducir un valor de **n** bits si LOAD está activada.
- ⇒ Cuenta ascendente/descendente (**UP/DOWN**): en contadores reversibles.



2005-2006

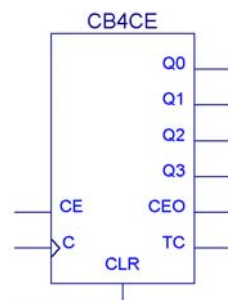
Electrónica Digital II

31



Contadores síncronos

En EDI aprendimos a utilizar los contadores en EDII vamos a DISEÑARLOS



2005-2006

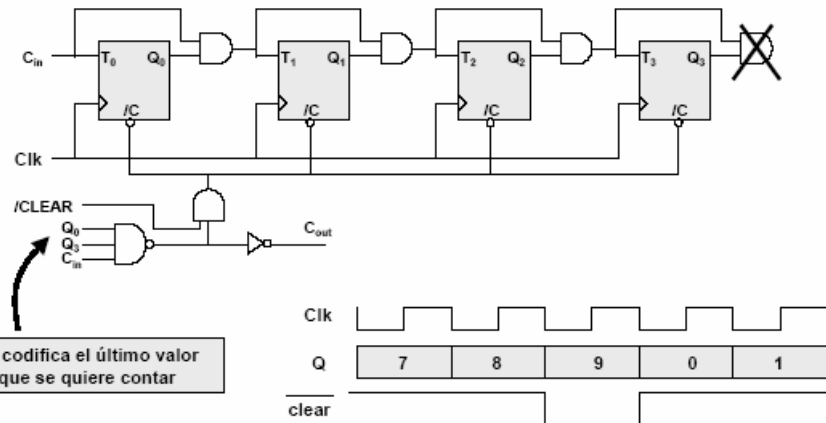
Electrónica Digital II

32



Contadores síncronos: Contador de 0 a 9

Ejemplo: Contador 0 a 9



2005-2006

Electrónica Digital II

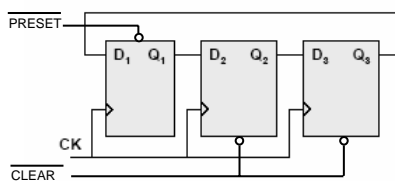
33



Contadores con registros de desplazamiento

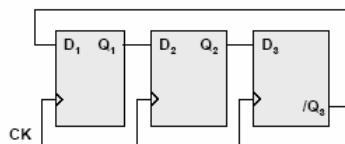
EDII

Contador en anillo



- ▶ Utiliza un flip-flop para cada estado de su secuencia
- ▶ Las salidas del contador indican directamente el valor decimal de la cuenta de pulsos de reloj

Contador Johnson



- ▶ La salida \bar{Q} del último biestable se conecta a la entrada del primero
- ▶ Se genera una secuencia de $2n$ estados ($n = n^\circ$ de biestables)

$$Q_1(t+1) = \bar{Q}_3(t)$$

$$Q_2(t+1) = Q_1(t)$$

$$Q_3(t+1) = Q_2(t)$$

2005-2006

Electrónica Digital II

34

